

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Susumu Kurosawa et al.

D cket: 17389

Serial No.: Unassigned

Dated: January 29, 2004

Filed: Herewith

For: VOLTAGE CONTROLLED VARIABLE
CAPACTANCE DEVICE

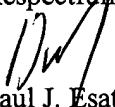
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. §119 and in support thereof herewith submit a certified copy of Japanese Patent Application No. 2003-024935 dated January 31, 2003.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343

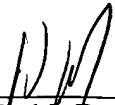
CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Mailing Label Number: EV244124667US

Date of Deposit: January 29, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner for Patents, Box 1450, Alexandria, VA 22313-1450.

Dated: January 29, 2004



Paul J. Esatto, Jr.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

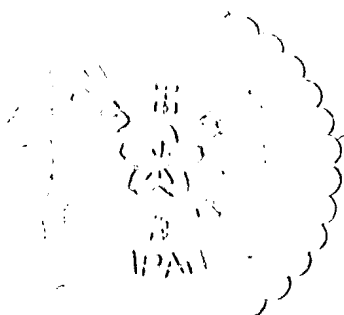
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 3 1 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 2 4 9 3 5
[ST. 10/C]: [J P 2 0 0 3 - 0 2 4 9 3 5]

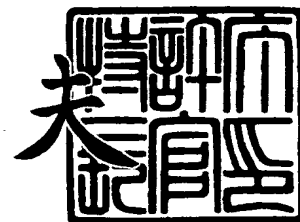
出 願 人
Applicant(s): N E C エレクトロニクス株式会社



2 0 0 3 年 1 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 74112754

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03J 7/12
H03H 5/12

【発明の名称】 電圧制御可変容量素子

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 黒沢 晋

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 藤本 裕希

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216549

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧制御可変容量素子

【特許請求の範囲】

【請求項 1】 基板と、この基板の表面に形成され相互に並列に接続された夫々 1 又は複数の第 1 のバラクタ素子及び第 2 のバラクタ素子と、を有し、前記第 1 及び第 2 のバラクタ素子は、夫々前記基板の表面に形成され第 1 の端子に接続されたウエルと、このウエル上に形成された絶縁膜と、この絶縁膜上に前記ウエルと共に前記絶縁膜を挟むように形成され第 2 の端子に接続された電極と、を有し、前記第 1 のバラクタ素子における前記絶縁膜の膜厚は、前記第 2 のバラクタ素子における前記絶縁膜の膜厚より薄く、前記第 1 及び第 2 のバラクタ素子の個数は、前記第 1 の端子と前記第 2 の端子との間に印加される電圧と、前記ウエルと前記電極との間の容量との所望の相関関係に応じて設定されることを特徴とする電圧制御可変容量素子。

【請求項 2】 基板と、この基板の表面に形成され相互に並列に接続された夫々 1 又は複数の第 1 のバラクタ素子及び第 2 のバラクタ素子と、を有し、前記第 1 及び第 2 のバラクタ素子は、夫々前記基板の表面に形成され第 1 の端子に接続されたウエルと、このウエル上に形成された絶縁膜と、この絶縁膜上に前記ウエルと共に前記絶縁膜を挟むように形成され第 2 の端子に接続された電極と、を有し、前記第 1 のバラクタ素子における前記絶縁膜を形成する材料の誘電率は、前記第 2 のバラクタ素子における前記絶縁膜を形成する材料の誘電率より高く、前記第 1 及び第 2 のバラクタ素子の個数は、前記第 1 の端子と前記第 2 の端子との間に印加される電圧と、前記ウエルと前記電極との間の容量との所望の相関関係に応じて設定されることを特徴とする電圧制御可変容量素子。

【請求項 3】 前記ウエルの表面にこのウエルと同じ導電型であり前記第 1 の端子に接続された拡散領域が形成されていることを特徴とする請求項 1 又は 2 に記載の電圧制御可変容量素子。

【請求項 4】 前記基板の表面に垂直な方向から見て、前記拡散領域が前記電極を挟むような 2 ヶ所の位置に形成されていることを特徴とする請求項 3 に記載の電圧制御可変容量素子。

【請求項 5】 前記基板が前記ウエルとは異なる導電型の半導体基板であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電圧制御可変容量素子。

【請求項 6】 前記第 1 及び第 2 のバラクタ素子が各 1 個ずつ設けられていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の電圧制御可変容量素子。

【請求項 7】 前記第 1 及び第 2 のバラクタ素子のうち、一方が 2 個設けられており、他方が 1 個設けられていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の電圧制御可変容量素子。

【請求項 8】 演算及びデータの記憶を行うコア部並びに外部との信号の入出力を行う I/O 部を備えた半導体集積回路内に設けられており、前記第 1 のバラクタ素子の絶縁膜が前記コア部に設けられた MOS トランジスタのゲート電極と同時に形成されたものであり、前記第 2 のバラクタ素子の絶縁膜が前記 I/O 部に設けられた MOS トランジスタのゲート電極と同時に形成されたものであることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電圧制御可変容量素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は複数のバラクタ素子からなる電圧制御可変容量素子に関し、特に、電圧－容量特性を選択することができる電圧制御可変容量素子に関する。

【0002】

【従来の技術】

従来より、LC-VCO (Voltage Controlled Oscillator: 電圧制御発振器) の発振周波数の制御には電圧制御可変容量素子が使用されている。そして、電圧制御可変容量素子には、MOS 型のバラクタ素子が一般的に使用されている。

【0003】

図 4 は従来の電圧制御可変容量素子を示す断面図である。図 4 に示す従来の電圧制御可変容量素子は、半導体集積回路中に設けられており、MOS 型のバラク

タ素子を使用するものである。図4に示すように、この電圧制御可変容量素子においては、P型基板1が設けられており、このP型基板1の表面にNウエル2が形成されている。Nウエル2はこのバラクタ素子が設けられている半導体集積回路において、PチャネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor: 金属酸化物半導体電界効果トランジスタ) のNウエルを形成するときに形成されたものである。

【0004】

また、Nウエル2上にはゲート絶縁膜11が設けられており、このゲート絶縁膜11上には電極としてポリシリコン層9が設けられている。そして、ポリシリコン層9はゲート端子7に接続されている。なお、ゲート絶縁膜11は例えばNチャネルMOSFETのゲート絶縁膜を形成するときに同時に形成されたものであり、ポリシリコン層9は例えばNチャネルMOSFETのゲート電極を形成するときに同時に形成されたものである。

【0005】

また、Nウエル2の表面には2ヶ所にN⁺拡散層3が形成されている。N⁺拡散層3は、P型基板1の表面に垂直な方向（以下、単に垂直方向という）から見て、ポリシリコン層9を挟むように形成されている。N⁺拡散層3はNチャネルMOSFETのソース・ドレインと同時に形成されたものである。そして、N⁺拡散層3はSD端子8に接続されている。これにより、Nウエル2、N⁺拡散層3、ゲート絶縁膜11及びポリシリコン層9により、バラクタ素子が形成されている。

【0006】

この従来の電圧制御可変容量素子においては、ゲート端子7とSD端子8との間に印加する電圧を変化させることにより、Nウエル2とポリシリコン層9との間の容量を変化させることができる。即ち、ゲート端子7に正電位を印加し、SD端子8に負電位を印加して、両端子間の電圧を十分に大きくすると、Nウエル2におけるゲート絶縁膜11の近傍にキャリアである電子が集まり、バラクタ素子はアキュムレーション状態となる。この結果、バラクタ素子の容量値はほぼゲート絶縁膜11の容量値となり、最大値となる。一方、ゲート端子7の電位を負

に変化させていくと、Nウエル2におけるポリシリコン層9の直下域に空乏層が形成され、この空乏層が広がることにより、バラクタ素子の容量が減少していく。そして、ゲート端子7の電位を十分に低くすると、空乏層の広がりが飽和する。これにより、容量もそれ以上減少しなくなり、最小値に達する。

【0007】

上述の如く、このバラクタ素子を使用した電圧制御可変容量素子は、半導体集積回路のNチャネル及びPチャネルのMOSFETを形成する工程において同時に形成することができ、半導体集積回路の製造プロセスを修正したり、新たなプロセスを追加したりすることなく形成できるという利点がある。

【0008】

しかしながら、この従来の電圧制御可変容量素子には以下に示すような問題点がある。MOS型のバラクタ素子はMOSFETの製造プロセスによりMOSFETと同時に形成するため、その特性がMOSFETの形成条件により決定されてしまう。ところが、このバラクタ素子をVCOの発振周波数の制御に使用する場合には、ゲート・基板間の容量の電圧依存性、即ちC-V特性は、この電圧制御可変容量素子が組み込まれるVCO等の回路に要求される特性に応じて、最適に調整されることが好ましい。例えば、電圧と容量との相関関係を示す曲線（C-Vカーブ）があまり急峻であると、VCOの発振周波数の制御が困難になる。また、容量の最大値と最小値との比（以下、容量比という）を大きくすると、VCOの可変周波数域が大きくなるという利点はあるものの、容量比が大きすぎると、VCOを構成するトランジスタとして、ドレイン電流のゲート電圧依存性（ g_m ）が大きいトランジスタを使用する必要性が生じ、発振周波数のゆらぎである位相ノイズが大きくなる。

【0009】

電圧制御可変容量素子のC-V特性を変化させるだけであれば、例えば図4に示すNウエル2の不純物濃度を変化させる方法がある。図5は横軸にゲート・SD間の電圧をとり、縦軸にゲート・SD間の容量をとって、Nウエル2（図4参照）の不純物濃度を 1×10^{17} 乃至 $1 \times 10^{18} \text{ cm}^{-3}$ の範囲で変化させたときのバラクタ素子のC-V特性を示すグラフ図である。図5に示すように、N

ウェル 2 の不純物濃度を、 $1 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{18} \text{ cm}^{-3}$ まで増大させていくと、C-V カーブは矢印 31 の方向に変化する。

【0010】

このように、N ウェルの不純物濃度を増加させれば、バラクタ素子の C-V 特性を変化させ、例えば C-V カーブを緩やかにすることはできる。しかしながら、N ウェルの不純物濃度を最適に制御するためには、この N ウェルに不純物を注入する特別な工程が必要となり、P チャネル MOSFET の N ウェルを形成する際に同時に形成できなくなってしまう。又は、P チャネル MOSFET の製造工程に修正が必要となり、P チャネル MOSFET の特性が変化してしまう。

【0011】

また、従来、電圧降下手段及び複数のバラクタ素子を設け、電圧降下手段により複数種類の電圧を発生させ、この複数種類の電圧をバラクタ素子に印加することにより、容量値の変化率を任意に設定可能にする技術が開示されている（例えば、特許文献 1 参照。）。

【0012】

【特許文献 1】

特開 2002-43842 号公報

【0013】

【発明が解決しようとする課題】

しかしながら、上述の従来技術には以下に示す問題点がある。特許文献 1 に記載された技術においては、電圧降下手段を設ける必要があるため、回路構成が複雑になり大型化するという問題点がある。また、この回路は、制御電圧が十分に高くないと動作しないため、半導体集積回路の低電圧化を図るうえで、阻害要因になるという問題点がある。

【0014】

本発明はかかる問題点に鑑みてなされたものであって、従来の製造プロセスを変更したり、新たなプロセスを追加したりすることなく製造でき、回路が大型化及び高電圧化することがなく、C-V 特性を任意に選択できる電圧制御可変容量素子を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明に係る電圧制御可変容量素子は、基板と、この基板の表面に形成され相互に並列に接続された夫々1又は複数の第1のバラクタ素子及び第2のバラクタ素子と、を有し、前記第1及び第2のバラクタ素子は、夫々前記基板の表面に形成され第1の端子に接続されたウエルと、このウエル上に形成された絶縁膜と、この絶縁膜上に前記ウエルと共に前記絶縁膜を挟むように形成され第2の端子に接続された電極と、を有し、前記第1のバラクタ素子における前記絶縁膜の膜厚は、前記第2のバラクタ素子における前記絶縁膜の膜厚より薄く、前記第1及び第2のバラクタ素子の個数は、前記第1の端子と前記第2の端子との間に印加される電圧と、前記ウエルと前記電極との間の容量との所望の相関関係に応じて設定されることを特徴とする。

【0016】

本発明においては、第1及び第2のバラクタ素子において、ウエル及び電極により容量が形成される。そして、第1のバラクタ素子の絶縁膜の膜厚を、第2のバラクタ素子の絶縁膜の膜厚よりも薄くすることにより、第1のバラクタ素子における第1及び第2の端子間に印加される電圧と前記容量との相関関係（以下、C-V特性という）を、第2のバラクタ素子におけるC-V特性と異ならせることができる。そして、任意の数の第1及び第2のバラクタ素子を相互に並列に接続することにより、電圧制御可変容量素子全体のC-V特性を任意に選択することができる。また、第1及び第2のバラクタ素子の絶縁膜は、半導体集積回路において形成されるMOSトランジスタのゲート絶縁膜と同時に形成することができるため、既存の半導体集積回路の製造プロセスを修正することなく、また、新たなプロセスを追加することなく、本発明の電圧制御可変容量素子を製造することができる。更に、本発明の電圧制御可変容量素子は、複数のバラクタ素子を並列に接続するだけで形成でき、バラクタ素子以外の特別な回路を必要としないため、素子が大型化及び高電圧化することがない。

【0017】

本発明に係る他の電圧制御可変容量素子は、基板と、この基板の表面に形成さ

れ相互に並列に接続された夫々 1 又は複数の第 1 のバラクタ素子及び第 2 のバラクタ素子と、を有し、前記第 1 及び第 2 のバラクタ素子は、夫々前記基板の表面に形成され第 1 の端子に接続されたウエルと、このウエル上に形成された絶縁膜と、この絶縁膜上に前記ウエルと共に前記絶縁膜を挟むように形成され第 2 の端子に接続された電極と、を有し、前記第 1 のバラクタ素子における前記絶縁膜を形成する材料の誘電率は、前記第 2 のバラクタ素子における前記絶縁膜を形成する材料の誘電率より高く、前記第 1 及び第 2 のバラクタ素子の個数は、前記第 1 の端子と前記第 2 の端子との間に印加される電圧と、前記ウエルと前記電極との間の容量との所望の相関関係に応じて設定されることを特徴とする。

【0018】

本発明においては、第 1 及び第 2 のバラクタ素子において、ウエル及び電極により容量が形成される。そして、第 1 のバラクタ素子の絶縁膜を形成する材料の誘電率を、第 2 のバラクタ素子の絶縁膜を形成する材料の誘電率よりも高くすることにより、第 1 のバラクタ素子の C-V 特性を、第 2 のバラクタ素子の C-V 特性と異ならせることができる。そして、任意の数の第 1 及び第 2 のバラクタ素子を相互に並列に接続することにより、電圧制御可変容量素子全体の C-V 特性を任意に選択することができる。また、第 1 及び第 2 のバラクタ素子の絶縁膜は、半導体集積回路において形成される MOS トランジスタのゲート絶縁膜と同時に形成することができるため、既存の半導体集積回路の製造プロセスを修正することなく、また、新たなプロセスを追加することなく、本発明の電圧制御可変容量素子を製造することができる。更に、本発明の電圧制御可変容量素子は、複数のバラクタ素子を並列に接続するだけで形成でき、バラクタ素子以外の特別な回路を必要としないため、素子が大型化及び高電圧化することがない。

【0019】

また、本発明に係る電圧制御可変容量素子においては、前記ウエルの表面にこのウエルと同じ導電型であり前記第 1 の端子に接続された拡散領域が形成されていることが好ましい。これにより、この拡散領域がウエルのコンタクトとして機能し、第 1 の端子に印加された電圧をより確実にウエルに伝達することができる。

【0020】

更に、本発明に係る電圧制御可変容量素子が、演算及びデータの記憶を行うコア部並びに外部との信号の入出力を行うI/O部を備えた半導体集積回路内に設けられており、前記第1のバラクタ素子の絶縁膜が前記コア部に設けられたMOSトランジスタのゲート電極と同時に形成されたものであり、前記第2のバラクタ素子の絶縁膜が前記I/O部に設けられたMOSトランジスタのゲート電極と同時に形成されたものであってもよい。

【0021】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。図1は、本実施形態に係る電圧制御可変容量素子を示す断面図であり、図2は、横軸にSD端子に対するゲート端子の電圧、即ち、ゲート・SD間電圧をとり、縦軸にゲート・SD間の容量をとって、本実施形態に係る電圧制御可変容量素子のC-V特性を示すグラフ図である。

【0022】

本実施形態に係る電圧制御可変容量素子は半導体集積回路中に作り込まれている。この半導体集積回路は例えばロジック用のLSI (Large Scale Integrated circuit: 大規模集積回路) であり、コア部及びI/O部が設けられている。そして、コア部及びI/O部の夫々にNチャネルMOSFET及びPチャネルMOSFETが形成されている。コア部は主として演算及びデータの記憶等を行う部分であり、例えば1.3乃至1.8V程度の比較的低い電圧で駆動する。また、I/O部は主として外部とのインターフェースとなる部分であり、例えば2.5乃至3.3Vの比較的高い電圧で駆動する。このため、通常、I/O部のMOSFETのゲート絶縁膜は、コア部のMOSFETのゲート絶縁膜よりも厚くなっている。

【0023】

図1に示すように、この電圧制御可変容量素子は複数のMOS型のバラクタ素子を備えている。この電圧制御可変容量素子においては、例えばボロン(B)が

注入されたシリコンからなるP型基板1が設けられており、このP型基板1の表面にはバラクタ素子13及び14が設けられている。図1においては、バラクタ素子13及び14は夫々1個ずつ示されているが、バラクタ素子13及び／又は14は複数個設けられていてもよい。

【0024】

バラクタ素子13においては、P型基板1の表面にNウエル2が形成されている。Nウエル2は、半導体集積回路において、PチャネルMOSFETのNウエルを形成するとき形成されたものである。また、Nウエル2上にはゲート絶縁膜4が設けられている。ゲート絶縁膜4は、半導体集積回路のコア部のNチャネルMOSFETのゲート絶縁膜を形成するとき同時に形成されたものであり、例えばシリコン酸化膜からなり、その膜厚は例えば2.6nmである。更に、ゲート絶縁膜4上にはゲート電極としてポリシリコン層9が設けられている。即ち、ポリシリコン層9及びNウエル2はゲート絶縁膜4を挟むように設けられている。ポリシリコン層9は例えばNチャネルMOSFETのゲート電極を形成するとき同時に形成されたものである。

【0025】

更に、Nウエル2の表面には2ヶ所にN⁺拡散層3が形成されている。N⁺拡散層3は、垂直方向から見て、ポリシリコン層9を挟むように形成されている。N⁺拡散層3はNチャネルMOSFETのソース・ドレインと同時に形成されたものである。垂直方向から見ると、N⁺拡散層3はポリシリコン層9に隣接している。但し、ポリシリコン層9の下にはゲート絶縁膜4が設けられているため、N⁺拡散層3とポリシリコン層9とはゲート絶縁膜4により絶縁されている。Nウエル2、N⁺拡散層3、ゲート絶縁膜4及びポリシリコン層9により、バラクタ素子13が形成されている。

【0026】

同様に、バラクタ素子14においては、P型基板1の表面にNウエル2が形成されており、Nウエル2上にはゲート絶縁膜5が設けられている。ゲート絶縁膜5は、半導体集積回路のI/O部のNチャネルMOSFETのゲート絶縁膜を形成するとき同時に形成されたものであり、例えばシリコン酸化膜からなり、そ

の膜厚は例えば 6.0 nm である。更に、ゲート絶縁膜 5 上にはゲート電極としてポリシリコン層 9 が設けられている。バラクタ素子 14 における上記以外の構成は、前述のバラクタ素子 13 と同様である。

【0027】

なお、ポリシリコン層 9 からなるゲート電極のゲート長、即ち、N⁺拡散層 3 間の距離は例えば 0.25 乃至 1 μ m であり、例えば 1 μ m である。また、ゲート幅、即ち、ゲート電極における図 1 の紙面に垂直な方向の長さは、例えば 2.5 乃至 5 μ m であり、例えば 5 μ m である。

【0028】

そして、バラクタ素子 13 及び 14 において、ポリシリコン層 9 はゲート端子 7 に接続されており、N⁺拡散層 3 は S/D 端子 8 に接続されている。これにより、バラクタ素子 13 及び 14 は相互に並列に接続されている。なお、図 1 においては、ゲート絶縁膜 4 及び 5 はポリシリコン層 9 の直下域のみに示されているが、N⁺拡散層 3 が S/D 端子 8 に接続することを妨げない限り、ゲート絶縁膜 4 及び 5 は、ポリシリコン層 9 の直下域以外の領域にも形成されていてもよい。

【0029】

次に、本実施形態に係る電圧制御可変容量素子の製造方法について説明する。図 1 に示すように、先ず、例えばボロン等の P 型不純物が注入されたシリコンからなる P 型基板 1 を用意する。次に、この P 型基板 1 の表面に N 型不純物をイオン注入して、相互に離隔した複数の N ウエル 2 を形成する。なお、図 1 においては、2ヶ所の N ウエル 2 が示されている。

【0030】

次に、P 型基板 1 の表面に 1 回目の酸化処理を施し、P 型基板 1 の表面の全面に、膜厚が例えば 5.0 nm のシリコン酸化膜（図示せず）を形成する。次に、フォトリソスト（図示せず）を形成して、ゲート絶縁膜 5 を形成する予定の領域を覆う。次に、このフォトリソストをマスクとしてエッチングを行い、P 型基板 1 の表面におけるゲート絶縁膜 5 を形成する予定の領域以外の領域からシリコン酸化膜を除去する。

【0031】

次に、フォトレジストを除去し、P型基板1の表面に2回目の酸化処理を施す。この2回目の酸化処理は、P型基板1の表面の露出部分に、膜厚が例えば2.6 nmのシリコン酸化膜が形成されるような条件で行う。このとき、ゲート絶縁膜5を形成する予定の領域におけるシリコン酸化膜の膜厚は、1回目の酸化処理において形成されたシリコン酸化膜が更に成長し、例えば6.0 nmとなる。また、ゲート絶縁膜4を形成する予定の領域におけるシリコン酸化膜の膜厚は、例えば2.6 nmとなる。これにより、P型基板1の表面に、シリコン酸化膜からなり膜厚が例えば2.6 nmであるゲート絶縁膜4、及びシリコン酸化膜からなり膜厚が例えば6.0 nmであるゲート絶縁膜5が形成される。

【0032】

次に、ポリシリコン層を形成してパターンニングし、ゲート絶縁膜4及び5上の所定の領域にゲート電極となるポリシリコン層9を形成する。次に、ポリシリコン層9をマスクとしてP型基板1の表面にN型不純物を選択的にイオン注入して、垂直方向から見て、各Nウエル2内におけるポリシリコン層9を挟む領域に、2ヶ所のN⁺拡散層3を形成する。このとき、ゲート電極を形成するポリシリコン層9にもN型不純物が注入される。

【0033】

次に、ゲート電極であるN型ポリシリコン9にゲート端子7を接続し、N⁺拡散層3にSD端子8を接続することにより、図1に示す電圧制御可変容量素子が形成される。

【0034】

次に、本実施形態に係る電圧制御可変容量素子の動作について説明する。前述の従来のバラクタ素子を備えた電圧制御可変容量素子（図4参照）と同様に、本実施形態に係る電圧制御可変容量素子においても、ゲート端子7とSD端子8との間に印加する電圧を変化させることにより、Nウエル2とポリシリコン層9との間の容量を変化させることができる。

【0035】

図2において、線21はバラクタ素子13のC-Vカーブを示す。前述の如く、バラクタ素子13は、膜厚が例えば2.6 nmのシリコン酸化膜からなるゲ-

ト絶縁膜 4 が設けられた素子である。また、線 22 はバラクタ素子 14 の C-V カーブを示す。バラクタ素子 14 は、膜厚が例えば 6.0 nm のシリコン酸化膜からなるゲート絶縁膜 5 が設けられた素子である。このように、バラクタ素子 14 のゲート絶縁膜 5 の膜厚（例えば 6.0 nm）は、バラクタ素子 13 のゲート絶縁膜 4 の膜厚（例えば 2.6 nm）よりも厚くなっている。このため、ゲート・SD 間電圧、即ち、SD 端子に対するゲート端子の電圧が十分に低く、ゲート絶縁膜の直下に厚い空乏層が形成されているときには、バラクタ素子 14 の容量はバラクタ素子 13 の容量にほぼ等しくなるが、ゲート・SD 間電圧の電圧が十分に高くなり、アキュムレーション状態となって、バラクタ素子の容量値がほぼゲート絶縁膜の容量値になると、バラクタ素子 14 のゲート絶縁膜 5 はバラクタ素子 13 のゲート絶縁膜 4 よりも厚いため、バラクタ素子 14 の容量はバラクタ素子 13 の容量よりも小さくなる。これにより、バラクタ素子 14 の C-V カーブ（線 22）の傾きは、バラクタ素子 13 の C-V カーブ（線 21）の傾きよりも小さくなる。また、バラクタ素子 14 の容量比は、バラクタ素子 13 の容量比よりも小さくなる。

【0036】

線 24 は、1 個のバラクタ素子 13 及び 1 個のバラクタ素子 14 を並列に接続した電圧制御可変容量素子全体の C-V カーブを示す。但し、この電圧制御可変容量素子全体の C-V カーブ（線 24）を、バラクタ素子 13 単独の C-V カーブ（線 21）及びバラクタ素子 14 単独の C-V カーブ（線 22）と比較するために、線 24 は線 21 及び 22 と比較して、容量値を $(1/2)$ 倍にして示している。図 2 に示すように、線 24 は線 21 及び線 22 の中間に位置し、各 1 個のバラクタ素子 13 及び 14 を並列に接続した場合の容量比及び C-V カーブの傾きは、バラクタ素子 13 単独及びバラクタ素子 14 単独の容量比及び傾きの中間の値となる。

【0037】

また、図 2 に示す線 23 は、2 個のバラクタ素子 13 及び 1 個のバラクタ素子 14 を相互に平行に接続したものである。更に、線 25 は、1 個のバラクタ素子 13 及び 2 個のバラクタ素子 14 を相互に平行に接続したものである。但し、線

23及び25は線21及び22と比較して、容量値を $(1/3)$ 倍にして示している。図2に示すように、線23は線21と線24との中間に位置し、線25は線24と線22との中間に位置する。

【0038】

このように、本実施形態においては、バラクタ素子13のゲート絶縁膜4をバラクタ素子14のゲート絶縁膜5よりも薄く形成し、相互に並列に接続するバラクタ素子13及び14の個数を選択することにより、電圧制御可変容量素子のC-V特性、特に、容量の最大値及び容量が大きく変化する電圧範囲のC-Vカーブの傾きを選択することができる。

【0039】

また、バラクタ素子13のゲート絶縁膜4を、このバラクタ素子13が形成されている半導体集積回路のコア部のMOSFETのゲート絶縁膜と同時に形成し、バラクタ素子14のゲート絶縁膜5を、この半導体集積回路のI/O部のMOSFETのゲート絶縁膜と同時に形成することにより、既存のプロセスを修正及び新たなプロセスを追加することなく、本実施形態の電圧制御可変容量素子を製造することができる。

【0040】

更に、本実施形態においては、1又は複数のバラクタ素子13及び14を並列に接続することのみにより電圧制御可変容量素子を形成することができ、例えば特許文献1に示されている電圧降下手段のようなバラクタ素子以外の特別な回路を必要としない。このため、電圧制御可変容量素子が大型化及び高電圧化することがない。

【0041】

更にまた、本実施形態の電圧制御可変容量素子においては、Nウエル2の表面にN⁺拡散層3が形成されているため、このN⁺拡散層3がNウエル2のコンタクトとして機能し、SD端子8に印加された電圧を確実にNウエル2に伝達することができる。

【0042】

なお、本実施形態においては、ポリシリコン層9の表面にシリサイドを形成し

てもよい。又は、ポリシリコン層 9 上に抵抗率がポリシリコン層 9 の抵抗率よりも低い材料からなる低抵抗層を積層してもよい。これにより、ゲート端子 7 とポリシリコン層 9 との間の抵抗値を低減し、ゲート端子 7 に印加された電位を、より確実にポリシリコン層 9 に伝達することができる。

【0043】

また、バラクタ素子 13 のみ又はバラクタ素子 14 のみにより電圧制御可変容量素子を構成する場合においても、バラクタ素子 13 又は 14 を複数個設け、相互に並列に接続してもよい。これにより、電圧制御可変容量素子を 1 個のバラクタ素子 13 又は 14 により構成する場合と比較して、単位面積当たりの容量値を等しくしたまま、寄生抵抗値を低減することができる。この結果、電圧制御可変容量素子の Q 値を向上させることができる。

【0044】

更に、電圧制御可変容量素子を構成するバラクタ素子はアキュムレーションモードのバラクタ素子に限定されず、例えば、ディプレッションモードのバラクタ素子を使用してもよい。

【0045】

次に、本発明の第 2 の実施形態について説明する。図 3 は、本実施形態に係る電圧制御可変容量素子を示す断面図である。図 3 に示すように、本実施形態に係る電圧制御可変容量素子においては、前述の第 1 の実施形態に係る電圧制御可変容量素子と比較して、図 1 に示すゲート絶縁膜 4 の替わりに、膜厚がゲート絶縁膜 5 と同一でシリコン酸窒化膜からなるゲート絶縁膜 6 を設けた点が異なっている。本実施形態に係る上記以外の構成は、上述の第 1 の実施形態と同様である。

【0046】

次に、本実施形態に係る電圧制御可変容量素子の動作について説明する。シリコン酸窒化膜の誘電率はシリコン酸化膜の誘電率よりも高いため、バラクタ素子 13 の容量の最大値は、バラクタ 14 の容量の最大値よりも大きくなる。このため、図 2 に示すように、本実施形態においても前述の第 1 の実施形態と同様に、バラクタ素子 13 のみからなる電圧制御可変容量素子の C-V カーブは線 21 となり、バラクタ素子 14 のみからなる電圧制御可変容量素子の C-V カーブは線

22 となり、バラクタ素子 13 及び 14 を相互に並列に接続してなる電圧制御可変容量素子の C-V カーブは線 23 乃至 25 となる。

【0047】

本実施形態は、半導体集積回路において、MOSFET のゲート絶縁膜としてシリコン酸化膜及びシリコン酸窒化膜からなるゲート絶縁膜を作り分ける場合に、これらのゲート絶縁膜と同時にバラクタ素子のゲート絶縁膜を形成することができるという効果を奏する。本実施形態における上記以外の効果は、前述の第 1 の実施形態と同様である。

【0048】

なお、本実施形態において、ゲート絶縁膜 5 及び 6 の膜厚は相互に異なってもよい。また、ゲート絶縁膜 5 及び 6 を形成する材料はシリコン酸化膜及びシリコン酸窒化膜に限定されず、相互に誘電率が異なる材料であり、半導体集積回路を形成する材料として使用される材料であれば、どのような材料の組み合わせでもよい。

【0049】

更に、前述の第 1 及び第 2 の実施形態は、電圧制御可変容量素子の回路設計時に、相互に並列に接続するバラクタ素子の個数を選択する例であるが、本発明はこれに限定されない。即ち、設計時には多めにバラクタ素子を形成しておき、各バラクタ素子間にスイッチを設け、このスイッチを開閉することにより、並列に接続するバラクタ素子の数を選択してもよい。これにより、バラクタ素子の個数に冗長性を持たせ、電圧制御可変容量素子の使用中に C-V 特性を変更することができる。

【0050】

【発明の効果】

以上詳述したように、本発明によれば、電圧制御可変容量素子において、絶縁膜の膜厚が相互に異なる第 1 及び第 2 のバラクタ素子を任意の個数設け、これらの第 1 及び第 2 のバラクタ素子を相互に並列に接続することにより、全体の C-V 特性を任意に選択することができる。また、第 1 及び第 2 のバラクタ素子の絶縁膜を、半導体集積回路内の他の部分に形成される MOS トランジスタの絶縁膜

と同時に形成することができ、この電圧制御可変容量素子を、半導体集積回路の製造工程における既存のプロセスの修正及び新たなプロセスの追加なく製造することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る電圧制御可変容量素子を示す断面図である。

【図 2】

横軸に S D 端子に対するゲート端子の電圧、即ち、ゲート・S D 間電圧をとり、縦軸にゲート・S D 間の容量をとって、本実施形態に係る電圧制御可変容量素子の C - V 特性を示すグラフ図である。

【図 3】

本発明の第 2 の実施形態に係る電圧制御可変容量素子を示す断面図である。

【図 4】

従来の電圧制御可変容量素子を示す断面図である。

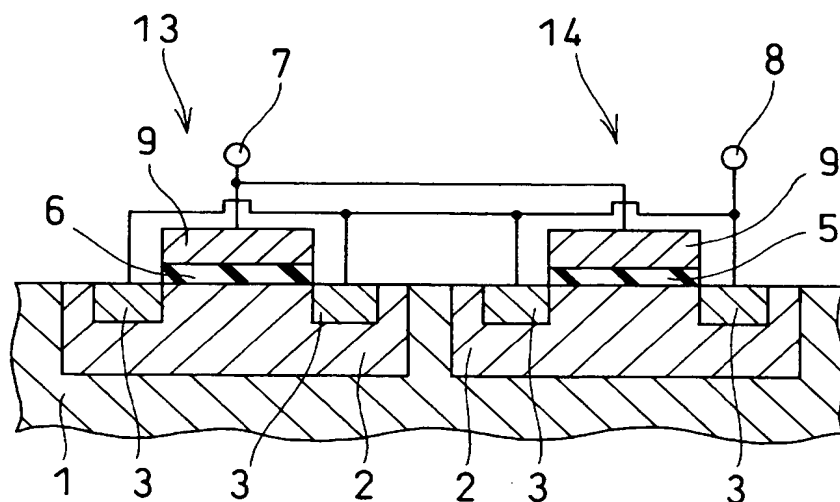
【図 5】

横軸にゲート・S D 間の電圧をとり、縦軸にゲート・S D 間の容量をとって、N ウェルの不純物濃度を変化させたときのバラクタ素子の C - V 特性を示すグラフ図である。

【符号の説明】

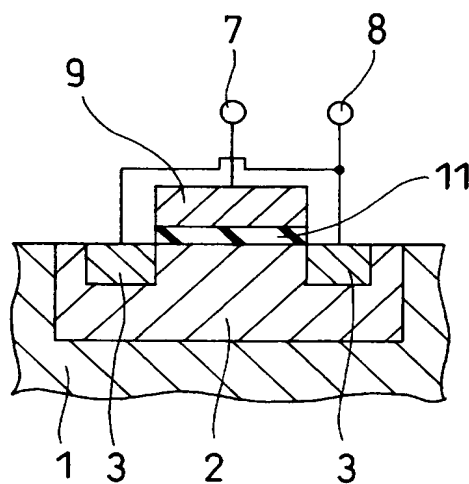
- 1 ; P 型基板
- 2 ; N ウェル
- 3 ; N⁺ 拡散層
- 4、5、6、11 ; ゲート絶縁膜
- 7 ; ゲート端子
- 8 ; S D 端子
- 9 ; ポリシリコン層
- 13、14 ; バラクタ素子
- 21 ~ 25 ; 線 (C - V カーブ)
- 31 ; 矢印

【図 3】



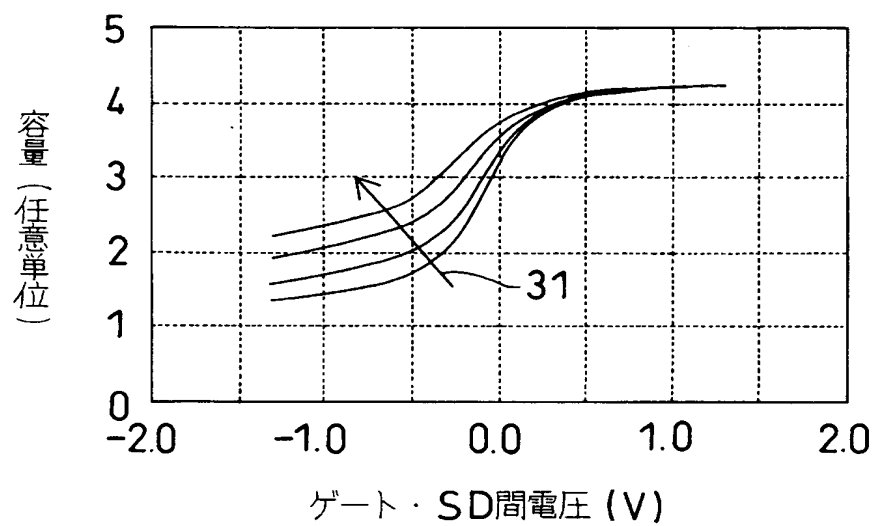
1: P型基板 2: Nウェル 3: N⁺拡散層 5、6: ゲート絶縁膜
7: ゲート端子 8: SD端子 9: ポリシリコン層
13、14: バラクタ素子

【図 4】



11: ゲート絶縁膜

【図 5】



【書類名】 要約書

【要約】

【課題】 従来の製造プロセスを変更したり、新たなプロセスを追加したりすることなく製造でき、回路が大型化及び高電圧化することがなく、C-V特性を任意に選択できる電圧制御可変容量素子を提供する。

【解決手段】 P型基板1の表面にバラクタ素子13及び14を設ける。バラクタ素子13においては、P型基板1の表面にNウエル2を形成し、その上にゲート絶縁膜4を設け、その上にポリシリコン層9を設ける。また、バラクタ素子14においては、P型基板1の表面にNウエル2を形成し、その上に膜厚がゲート絶縁膜4よりも厚いゲート絶縁膜5を形成する。そして、ゲート絶縁膜5上にポリシリコン層9を設ける。更に、ポリシリコン層9をゲート端子7に接続し、Nウエル2をP⁺拡散層3を介してSD端子8に接続する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 4 9 3 5
受付番号	5 0 3 0 0 1 6 1 7 9 1
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 2 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月31日

次頁無

特願 2 0 0 3 - 0 2 4 9 3 5

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社